НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ «КПІ»

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

Кафедра спеціалізованих комп’ютерних систем

##### *КУРСОВИЙ ПРОЕКТ*

***з дисципліни "Комп’ютерна електронiка"***

Виконав: Подольський С. В.

#### Група: КB-64

Номер залікової книжки: КВ-6415

#### Допущений до захисту

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

1 семестр 2008/2009

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«КПІ»

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

# Кафедра спеціалізованих комп’ютерних систем

Узгоджено ЗАХИЩЕНА "\_\_"\_\_\_\_\_\_\_\_\_2008р.

Керівник проекту з оцінкою\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

\_\_\_\_\_\_\_/Сапсай Т.Г./ \_\_\_\_\_\_\_\_ /Сапсай Т.Г./

***Вивчення схем транзисторного ключа з нелінійним зворотнім зв’язком, з форсуючою ємністю та з діодною фіксацією колекторної напруги.***

***Дослідження роботи базової схеми ДТЛ, схеми транзисторного ключа з керуючим транзистором на вході, схем І-АБО, І-АБО-НЕ на основі базової схеми ТТЛ***

#### Виконавець проекту

Подольський Сергій Валентинович

\_\_\_\_\_\_\_\_\_\_\_\_\_\_2008р.

# **Завдання 1**

# **Мета роботи:** Вивчення схеми транзисторного ключа. Розрахунок параметрів

# та вивчення основних характеристик схеми.

1. **Теоретичні відомості.**
   1. **Стани транзистора.**

У схемі транзисторного ключа використовується біполярний транзистор типу n-p-n. В будь-який момент часу транзистор може знаходитись в одному з трьох станів:

1. *стан відсічки* – транзистор закрито, струм на базу не надходить, у початковий момент часу існує лише зворотний струм у базі – струм розсіювання; струми колектора та емітера відсутні. Цей стан забезпечує високий рівень (рівень логічної “1” для позитивної логіки) на колекторі транзистора;
2. *активний стан* – стан підсилення; струми колектора та емітера можна знайти, використовуючи умови:

IК = β \* IБ,

IЕ = (β + 1) \* IБ,

де β – коефіцієнт підсилення струму, конкретний для кожного транзистора;

IБ – струм бази транзистора;

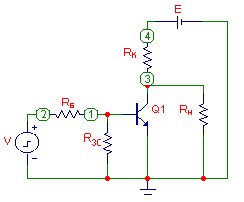
1. *стан насичення* – максимально відкритий транзистор; β зменшується в залежності від ступеня насичення, збільшення струму бази не призводить до значного збільшення струмів колектора та емітера; теоретична межа насичення: UБ = UКЕн; перехід колектор-емітер має мінімальну напругу. Цей стан забезпечує низький рівень (рівень логічного “0” для позитивної логіки) на колекторі транзистора. Струм колектора знаходиться, виходячи з умови

IК = (β / S) \* IБ,

де S – ступінь насичення транзистора.

мал. 1

* 1. **Транзисторний ключ як інвертор. Призначення елементів.**



Транзисторний ключ забезпечує інверсію вхідної напруги.

При подачі на вхід високого рівня (рівня логічної “1”) на базу транзистора надходить необхідний струм бази IБ, який забезпечує вмикання (відкриття) транзистора та зміну напруги на колекторі транзистора від високого рівня (рівня логічної “1”) до низького рівня (рівня логічного “0”).

При подачі на вхід низького рівня (рівня логічного “0”) струм бази IБ практично дорівнює нулю, в момент вимикання транзистора здійснюється розсіювання зарядів у базі транзистора. Опір зсуву RЗС забезпечує надійне закриття транзистора.

Коли на виході (на колекторі транзистора) низький рівень (рівень логічного “0”):

U0ВИХ =UКЕн,

струм проходить шлях Е→RК→КЕ→земля. Через опір RН струм практично не проходить.

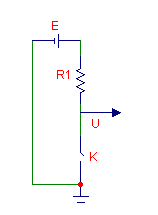
Коли на виході високий рівень (рівень логічної “1”) :

U1ВИХ = Е \* RН / (RК + RН),

транзистор закритий і струм через опір RК практично дорівнює струму через опір RН. Через колектор-емітер транзистора в стані відсічки струм практично не проходить.

* 1. **Схема транзисторного ключа.**

Розглянемо роботу схеми ключа, зображену на мал. 2.



мал. 2

Uвих

Якщо ключ К (мал.2-2):

* розімкнений, то на виході високий рівень, що визначається джерелом живлення;
* замкнений, то на виході низький рівень, що дорівнює рівню схемної землі.

Якщо транзистор у схемі, що зображена на мал. 1:

* відкрито, то на виході (колекторі транзистора) низький рівень, що визначається напругою UКЕн – напруга переходу колектор-емітер насичення;
* закрито, то на виході високий рівень, що визначається джерелом живлення та опорами RК і RН.

1. **Вихідні дані:**
2. U0ВХ = 0,15 + 0,003 = 0,153 [B]
3. U1ВХ = 4,15 + 0,16 = 4,31 [B]
4. IRн = 0,02 + 0,016 = 0,036 [А]
5. 4,31 ≤ U1ВИХ < 1,2\*4,31

4,31 ≤ U1ВИХ < 5,172

1. U0ВИХ≤ 0,14 [B]
2. IRзс = 0,1\*IБ
3. UБЕн = 0,65 [В]
4. βн =10
   1. **Порядок розрахунку:**
5. RН = URн / IRн  = U1ВИХ / IRн = U1ВХ / IRн = 4,31 / 0,036 = 119,72 [Ом]

R\*Н = 120 [Ом]

U1\*ВИХ = U\*Rн = IRн\*R\*Н = 0,036\*120 = 4,32 [B]

1. ІС виготовлена за технологією ТТЛ:

E = 5 [В]

1. RК = URк / IRк = (E – URн) / IRн = (E – U1\*ВИХ) / IRн = (5 – 4,32) / 0,036 = 18,89 [Ом]

R\*К = 18 [Ом]

I\*Rн = E / (R\*К + R\*Н) = 5 / (18 + 120) = 0,03623 [А]

U1\*\*ВИХ = I\*Rн\*R\*Н = 0,3623\*120 = 4,348 [В]

1. IКн = URк / RК = (E – U0ВИХ) / RК = (5 – 0,14) / 18 = 0,27 [А]

IБ = IКн / βн = 0,27 / 10 = 0,027 [А]

IRзс = 0,1\*IБ = 0,1\*0,027 = 0,0027 [А]

IRб = IRзс+ IБ=1,1\*IБ = 1,1\*0,027 = 0,0297 [А]

RЗС = URзс / IRзс = UБЕн / IRзс = 0,65 / 0,0027 = 240,7 [Ом]

R\*ЗС = 240 [Ом]

RБ = URб / IRб = (U1ВХ – UБЕн)/ IRб = (4,31 – 0,65) / 0,0297 = 123,23 [Ом]

R\*Б = 120 [Ом]

1. PT =U\*I = UВИХ\*IКЕ

IКЕ = IRк – IRн = (E – UВИХ) / R\*К – UВИХ / R\*Н

1. UВИХ = 0.2\*U1\*\*ВИХ = 0,2\*4,348 = 0,8696 [В]

IКЕ = (5 – 0,8696) / 18 – 0,8696 / 120 = 0,22222 [А]

PT = 0,8696\*0,22222 = 0,1932 [Вт]

1. UВИХ =0.5\*U1\*\*ВИХ = 0,5\*4,348 = 2,174 [В]

IКЕ = (5 – 2,174) / 18 – 2,174 / 120 = 0,13888 [А]

PT = 2,174\*0,13888 = 0,3019 [Вт]

1. UВИХ =0.8\*U1\*\*ВИХ = 0,8\*4,348 = 3,4784 [В]

IКЕ = (5 – 3,4784) / 18 – 3,4784 / 120 = 0,0555 [А]

PT = 3,4784\*0,0555 = 0,193 [Вт]

PTmax = 0,3019 [Вт]

1. Часові параметри:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Параметри | t1,0 | t0,1 | t1,0зт | t0,1зт |
| замір. зн. | 5,46 нс | 8,4 нс | 3,09 нс | 7,33 нс |

1. Потужність розсіювання на резисторах:

UВХ = U1ВХ = > транзистор в режимі насичення:

PRсм = URзс2/ R\*ЗС = UБЕн2/ R\*ЗС = 0,652/ 240 = 0,00176 [Вт]

PRб = URб 2/ R\*Б = (U1ВХ – UБЕн)2 / R\*Б = (4,31 – 0,65)2 / 120 = 0,11163 [Вт]

Транзистор в режимі насичення:

PRк = E2 / R\*К = 52/ 18 = 1,389 [Вт]

Транзистор в режимі відсічки:

PRн = I\*Rн2 \* R\*Н = 0,036232 \* 120 = 0,1575 [Вт]

1. Частота вхідного сигналу задається за допомогою параметрів пульсара p1÷ p5:

p1 = 100 нс

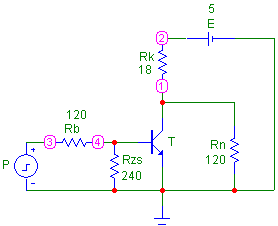
p2 = 110 нс

p3 = 500 нс

p4 = 510 нс

p5 = 1 мс

* 1. **Малюнок схеми з номерами вузлів:**



* 1. **Підсумкова таблиця:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | UБЕн | U0вх | U1вх | U0вих | U1вих | IRб | IRн | IRк | Rн | Rк | RБ | Rзс | βн |
| розрах. зн. | 0,65 | 0,153 | 4,31 | 0,14 | 4,31 | 29,7 | 36 | 270 | 119,72 | 18,89 | 123,23 | 240,7 | 10 |
| реальн. зн. | 0,676 | 0,153 | 4,31 | 0,078 | 4,348 | 30,3 | 36,2 | 273 | 120 | 18 | 120 | 240 | 9,93 |

βН реальне = IК реальне / IБ реальне = 272,768 / 27,47 = 9,93

* 1. **Висновки:**

Ми отримали схему, яка інвертує вхідний сигнал, причому вихідний рівень нуля виявився меншим за вхідний рівень нуля, а вихідний рівень одиниці – більшим за вхідний рівень одиниці. Це пов’язано з тим, що ми підібрали номінали опорів таким чином, щоб вихідні рівні нуля й одиниці знаходилися в межах допустимих діапазонів.

У режимі відсічки транзистора з рівняння E = U1ВИХ + URк випливає, що краще взяти менше значення напруги URк, щоб отримати достатнє реальне значення напруги U1ВИХ високого рівня на виході (на навантаженні RН). Для цього ми обираємо реальний менший, ніж розрахований, номінал опору RК і більший, ніж розрахований, номінал опору навантаження RН. Оскільки ми взяли реальний опір RК менший на 0,89 Ом, а опір RН більший на 0,28 Ом, ніж обчислені опори, то в сумі, у зв’язку з послідовним їх включенням у колі при закритому транзисторі, загальний опір зменшиться на 0,61 Ом, що становить досить малий відсоток від загального опору, який дорівнює 120+18=136 Ом. Тому реальний струм IRн збільшився не суттєво і фактично залишився таким як і розрахований.

Реальна напруга вихідного нульового рівня є меншою за задану за варіантом напругу U0ВИХ, оскільки реальне падіння напруги на переході колектор-емітер виявилося меншим, ніж задане за варіантом. Це зумовлено тим, що параметри транзистора відрізняються від очікуваних за варіантом (а саме опір переходу колектор-емітер на транзисторі при розрахованих номіналах резисторів).

Струм IRб виявився дещо більшим, ніж розрахований, оскільки було взяте менше реальне номінальне значення опору резистора R\*Б, ніж розраховане:

I\*Rб = = = = 0,0303 [А],

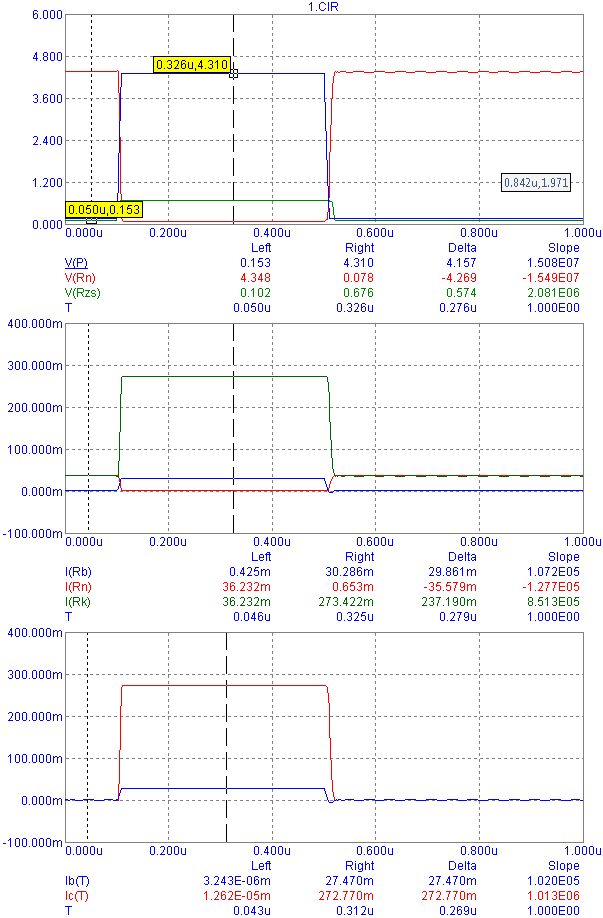
що й видно з таблиці.

Зі збільшенням струму IRб пов’язане збільшення базового струм IБ транзистора:

I\*Б = I\*Rб – = 0,0303 – 0,0275 [А],

тому реальне значення βн також виявилося дещо меншим, ніж задане за умовою.

* 1. **Часові діаграми:**



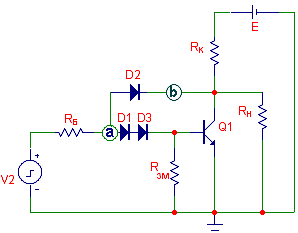
# **Завдання 2**

# **Мета роботи**: Вивчення схем транзисторного ключа з нелінійним зворотнім зв’язком, з форсуючою ємністю та з діодною фіксацією колекторної напруги.

**1. Підвищення швидкодії перемикальних каскадів за допомогою форсуючих ємностей**

**1.1 Теоретичні відомості:**

##### Досить розповсюдженим у цифрових пристроях є метод підвищення швидкості перемикання ключового транзистора за допомогою нелінійного колекторно-базового зворотнього зв’язку.



Діод зворотного зв’язку D2 знаходиться під напругою:

UD2 = Ua – Ub

До моменту, коли напруга у вузлі **b** перевищить напругу у вузлі **a**, діод D2 закрито. З відкриттям транзистора напруга у вузлі **b** зменшується.

Коли Ub < Ua, діод D2 включено в прямому напрямку. Включення діода замикає вузли **a** та **b** через малий опір відкритого діода D2.

Нелінійний зворотній зв’язок знижує коефіцієнт підсилення струму каскаду таким чином, що подальше збільшення вхідного струму (струму IRб) мало впливає на збільшення струму колектора. На колекторі зберігається позитивна напруга, і транзистор Q1 не заходить у стан насичення.

Uа = UБЕН + UD1 + UD3,

де UD1, UD3 – спади напруг на діодах зсуву D1 та D3, включених в прямому напрямку.

При подачі замикаючого сигналу спочатку відключається діод D2, а потім змінюється колекторна напруга. При закритому транзисторі нелінійний зворотній зв’язок розірвано.

Так як при використанні нелінійного зворотнього зв’язку в базі транзистора не відбувається надлишкове накопичення заряду, то при закритті транзистора спостерігається мінімальне розсіювання, що забезпечує швидке вимикання транзистора.

**1.2 Вихідні дані:**

RК = 18 [Ом]

RН  = 120 [Ом]

RЗС = 240 [Ом]

E = 5 [В]

UБЕн = 0,676 [В]

U0ВХ = 0,153 [В]

U1ВХ = 4,31 [В]

U1ВИХ = 4,348 [В]

IRб = 30,3 [мА] , за умови UВХ = U1ВХ

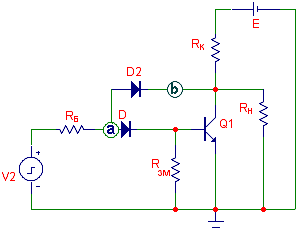
U0ВИХ ≤ 0,7 [В]

β = 50

UD = 0,7 [В]

Кількість діодів зсуву: один

**1.3 Порядок розрахунку:**



Uа = UD + UБЕн = 0,7 + 0,676 = 1,376 [В]

RБ = URб / IRб = (U1ВХ – Uа) / IRб = (4,31 – 1,376) / 0,0303 = 96,83 [Ом]

RБ\* = 100 [Ом]

IRк = UК / RК = (E – U0ВИХ) / RК = (5 – 0,7) / 18 = 0,2388 [А]

IRн = UН / RН= U0ВИХ / RН = 0,7 / 120 = 0,00583 [А]

**1.4 Підсумкова таблиця:**

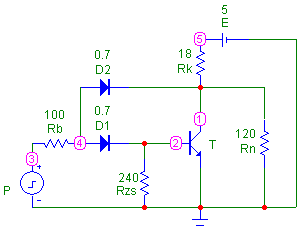
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | | UВХ | UВИХ | Uа | RБ | IRб | IRк | IRн | β |
| розрах**.** значення | UВХ =U0 ВХ | 0,153 | 4,348 | 0,153 | 96,83 | 0 | 36,2 | 36,2 | 50 |
| UВХ =U1 ВХ | 4,31 | 0,7 | 1,376 | 30,3 | 238,8 | 5,83 |
| реальні значення | UВХ =U0 ВХ | 0,153 | 4,348 | 0,153 | 100 | 0,008 | 36,266 | 36,227 | 47 |
| UВХ =U1 ВХ | 4,31 | 0,62 | 1,412 | 28,976 | 243,335 | 5,166 |

β реальне = IK реальне / IБ реальне = 258,883 / 5,508 ≈ 47

UВХ = U0ВХ: IRк = IRн = (E – U1ВИХ) / RК = (5 – 4,348) / 18 = 36,2 [В]

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Параметри | t1,0 | t0,1 | t1,0зт | t0,1зт |
| замір. зн. з Л.р. №1 | 5,46 нс | 8,4 нс | 3,09 нс | 7,33 нс |
| замір. зн. з Л.р. №2 | 5,37 нс | 9,5 нс | 3,93 нс | 6,57 нс |

**1.5 Малюнок з номерами вузлів:**

****

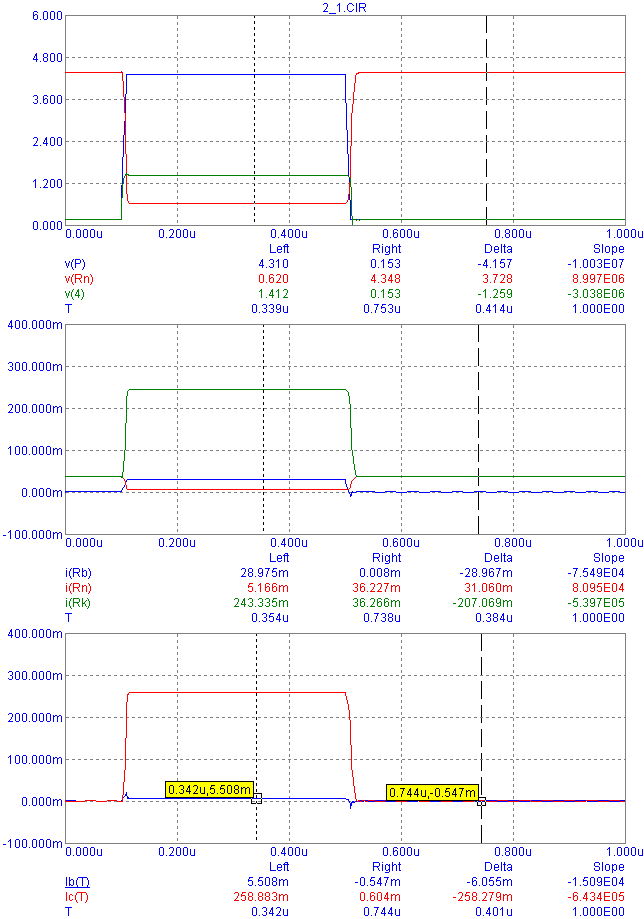
**1.6 Висновки:**

Спостерігається підвищення швидкодії щодо часу t0,1зт, тобто при закритті транзистора спостерігається мінімальне розсіювання, що забезпечує швидке вимикання транзистора. Це пов’язано з тим, що при використанні нелінійного зворотнього зв’язку в базі транзистора не відбувається надлишкове накопичення заряду. Проте зріс час затримки t1,0зт при відкритті транзистора. Це можна пояснити тим, що додатковий час іде на відкриття діоду, який ми додали в коло бази транзистора.

При низькому вихідному рівні трум IRк виявився більшим за розрахований, оскільки він розраховувався виходячи з заданого рівня максимального вихідного «0», який насправді є меншим за задане значення за умовою. Це видно з формули IRк = (E – U0ВИХ) / RК.

З тієї ж причини при низькому вихідному рівні виявився меншим, ніж розрахований, струм IRн, оскільки він знаходився з формули IRн = U0ВИХ / RН, де реальне значення U0ВИХ менше за задане за умовою.

**1.7 Часові діаграми:**

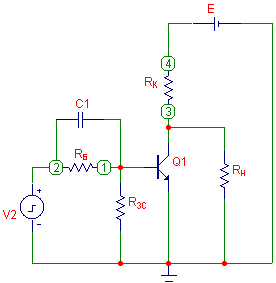
****

**2. Схема з формуючою ємністю**

**2.1 Теоретичні відомості:**

В інверторах та інших логічних схемах з резистивними зв’язками може бути використано форсування перехідних процесів за допомогою прискорюючої ємності.

Прискорююча ємність підключається паралельно опору бази.



При подачі на вхід високого рівня (рівня логічної «1») в перший момент часу в ланцюзі бази виникне струм:

I= (U1ВХ – UБЕ) / RДЖ,

де RДЖ – опір джерела V2. В ідеальному джерелі RДЖ → 0.

Після того, як конденсатор зарядиться, у вузлі 1 встановиться струм:

I1 = (U1ВХ – UБЕ) / (RДЖ + RБ)

Відповідно у базу буде надходити струм:

IБ = I1 / 1.1,

так як опір RЗС розраховувався за умови IRзс = 0.1 \* IБ.

Таким чином, в момент ввімкнення транзистора на базу буде надходити струм більший, ніж у сталому стані. Аналогічно при замиканні ключа в момент зміни вхідної керуючої напруги також виникне великий замикаючий сигнал, а потім буде спостерігатися його спад.

Т

UВХ

IRб

Т

t1 t2

t1 t2

**2.2 Вихідні дані:**

RБ = 120 [Ом]

RК = 18 [Ом]

RН  = 120 [Ом]

Rзс = 240 [Ом]

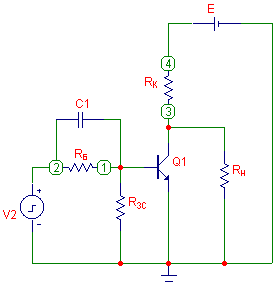
E = 5 [В]

U0ВХ = 0,153 [В]

U1ВХ = 4,31 [В]

С1 = 470 [пкФ]

**2.3 Малюнок схеми з номерами вузлів:**



**2.4 Підсумкова таблиця:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Параметри | t1,0 | t0,1 | t1,0зт | t0,1зт |
| знач. по Л.р.№1 | 5,46 нс | 8,4 нс | 3,09 нс | 7,33 нс |
| знач. по Л.р.№2 | 0,761 нс | 0,68 нс | 0,9 нс | 0,127 нс |

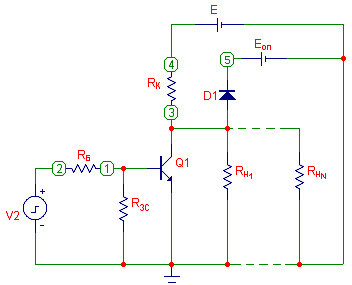
**2.5 Висновки:**

Очевидне підвищення швидкодії для всіх параметрів. Це пояснюється тим, що в момент ввімкнення транзистора на базу буде надходити струм більший, ніж у сталому стані. Також відомо, що під час перехідних процесів струм на ємнісних елементах за фазою випереджає напругу, а транзистор керується саме струмом.

**3. Діодна фіксація**

**3.1 Теоретичні відомості:**

На малюнку зображений інвертор з фіксацією вихідної напруги при закритому транзисторі.



Колекторна напруга в цьому випадку вже не може досягти рівня Е, так як при досягненні величини ЕОП вмикається фіксуючий діод D1 і напруга на колекторі приймає значення:

UВИХ = UК = ЕОП +UD1,

де UD1 – спад напруги на діоді, включеному в прямому напрямку.

Таким чином, ланцюг ЕОП→D1 забезпечує стабільність вихідного високого рівня при зміні навантаження, враховуючи заданий коефіцієнт N при відомих RHi (i=1,2,…,N; RH1= RH2 =…=RHN), але не впливає на вихідний низький рівень.

**3.2 Вихідні дані:**

RБ = 120 [Ом]

RК = 18 [Ом]

RН  = 120 [Ом]

Rзс = 240 [Ом]

E = 5 [В]

U0ВХ = 0,153 [В]

U1ВХ = 4,31 [В]

U0ВИХ = 0,078 [В]

U1ВИХ = 4,348 [В]

UD = 0.7 [В]

NMAX =10 + 3 + 16 = 29

RЕКВ = 120 [Ом]

**3.3 Порядок розрахунку:**

RHi = RЕКВ \* NMAX = 120 \* 29 = 3480

1. N = 0

ID1 = IRк = (E – U1ВИХ) / RК = (5 – 4,348) / 18 = 0,0362 [А]

EОП = U1ВИХ – UD1 = 4,348 – 0,7 = 3,648 [В]

1. N = NMAX / 3 = 29 / 3 ≈ 10

IRк = URк / RК = (E – U1ВИХ) / RК = (5 – 4,348) / 18 = 0,0362 [А]

RЕКВ = RHi / N = 3480 / 10 = 348 [Ом]

IRекв = U1ВИХ / RЕКВ = 4,348 / 348 = 0,0125 [А]

ID1= IRк – IRекв = 0,0362 – 0,0125 = 0,0237 [А]

1. N = 0,9 \* NMAX = 0,9 \* 29 ≈ 26

RЕКВ = RHi / N = 3480 / 26 = 133,85 [Ом]

IRекв = U1ВИХ / RЕКВ = 4,348 / 133,85 = 0,0325 [А]

ID1= IRк – IRекв = 0,0362 – 0,0325 = 0,0037 [А]

1. N = 1,2 \* NMAX = 1,2 \* 29 ≈ 35

RЕКВ = RHi / N = 3480 / 35 = 99,43 [Ом]

IRекв = IRк = Е / (Rк+RЕКВ) = 5 / (18 + 99,43) = 0,0426 [А]

ID1= 0

U1ВИХ = RЕКВ \* IRекв = 99,43 \* 0,0426 = 4,23 [В]

**3.4 Підсумкова таблиця:**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | | N | U1ВИХ | RЕКВ | IRк | IRекв | ID1 |
| розрах. значення | N=0 | 0 | 4,348 | - | 36,2 | - | 36,2 |
| N= NMAX / 3 | 10 | 4,348 | 348 | 36,2 | 12,5 | 23,7 |
| N=0.9\*NMAX | 26 | 4,348 | 133,85 | 36,2 | 32,5 | 3,7 |
| N=1.2\*NMAX | 35 | 4,23 | 99,43 | 42,6 | 42,6 | 0 |
| реальні значення | N=0 | 0 | 4,466 | - | 29,67 | - | 29,67 |
| N=NMAX / 3 | 10 | 4,435 | 348 | 31,36 | 12,75 | 18,62 |
| N=0.9\*NMAX | 26 | 4,346 | 133,85 | 36,3 | 32,46 | 3,88 |
| N=1.2\*NMAX | 35 | 4,23 | 99,43 | 42,92 | 42,52 | 0,4 |

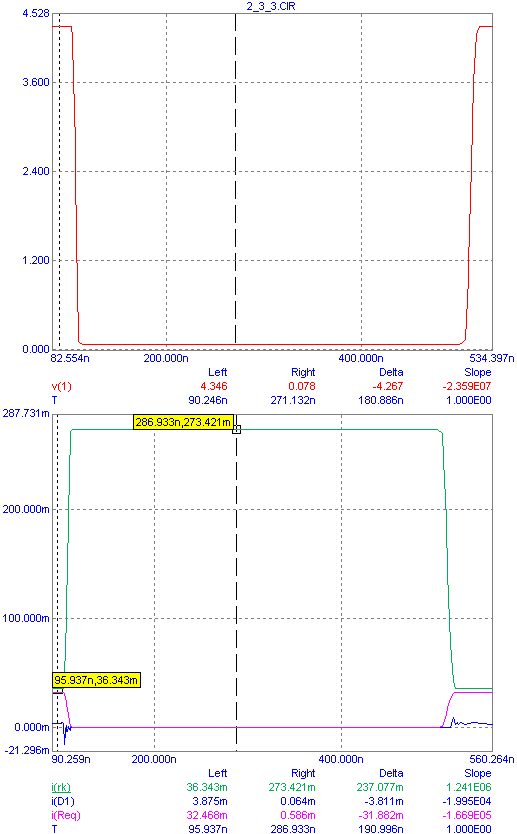
**3.5 Висновки:**

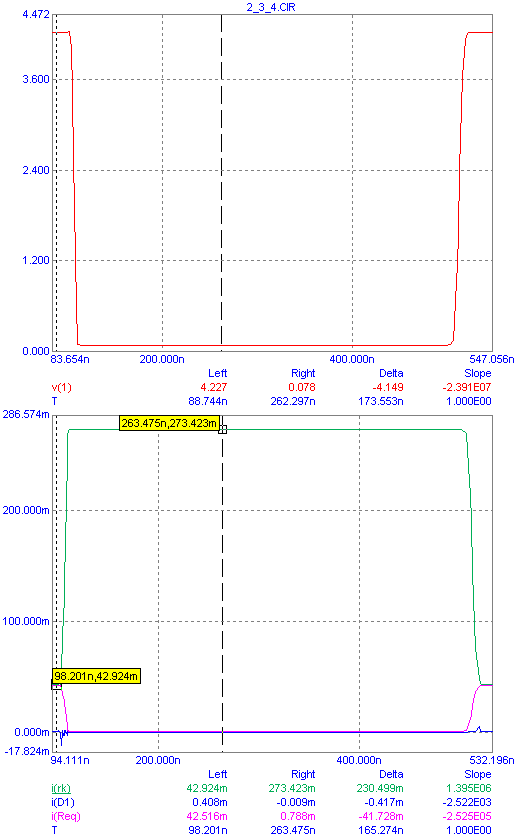
Для останнього випадку, коли діод закритий, розраховані значення співпали з реальними.

Для випадку, коли N = 0,9 \* NMAX, значення струмів і вихідної напруги також близькі до розрахованих, оскільки значення еквівалентного опору наближається до максимального навантаження, при цьому через діод протікає мінімальний струм, а основна частина струму протікає через навантаження.

У випадку, коли навантаження немає або воно досить мале (N = NMAX / 3), напруга на виході дещо менша, ніж задана за умовою, оскільки вона визначалася як реальне значення для навантаження NMAX. Відповідно падіня напруги на RК менше, ніж розраховане, тому й менший струм IRк.

**3.6 Часові діаграми:**

****

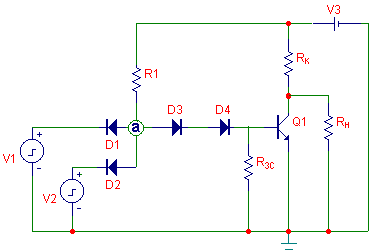
****

# **Завдання 3**

# **Мета роботи**: Дослідження роботи базової схеми ДТЛ.

**1. Теоретичні відомості:**

**1.1 Базова схема ДТЛ. Призначення елементів.**



Резистор R1, діоди D1, D2 – утворюють блок, що реалізує функцію “І”;

діоди D3, D4 – діоди зсуву;

резистор RЗС – забезпечує надійність закриття транзистора при подачі хоча б на один вхід низького рівня (рівня логічного “0”);

транзистор Q1 – інвертує сигнал, що надходить на його базу.

###### У статичному режимі вхідні діоди D1, D2 повинні мати високу зворотну пробивну напругу, що забезпечує підвищення завадостійкості схеми.

У динамічному режимі (при перемиканні) вхідні діоди D1, D2 повинні мати малий час відновлення зворотнього опору.

Резистор R1 – забезпечує вхідний струм при подачі хоча б на один вхід низького рівня (рівня логічного «0»), а також струм бази транзистора Q1 при подачі на усі входи високого рівня (рівня логічної «1»).

У динамічному режимі діоди зсуву D3 і D4 при вимиканні транзистора повинні відновлювати свій зворотній опір після того, як розсіється надлишковий заряд, накопичений на базі транзистору Q1 в режимі насичення, тобто постійна часу розсіювання для діодів зсуву повинна бути більше, ніж для транзистора.

**1.2 Робота схеми.**

Якщо хоча б на один із входів схеми подати низький рівень (рівень логічного «0»), то відкривається відповідний вхідний діод і вхідний струм I0ВХ протікає по ланцюгу Е→R1→Di→[джерело сигналу]. При послідовному включенні схем ДТЛ струм I0ВХ надходить на вихід попередньої схеми, тобто визначає навантажувальну здатність попередньої схеми в режимі, коли на її виході встановлений низький рівень (рівень логічного «0»).

Якщо хоча б на один із входів схеми подати низький рівень (рівень логічного «0»), то струм на базу транзистора Q1 не надходить, відповідно транзистор закритий, а на виході схеми встановлюється високий рівень (рівень логічної «1»).

Якщо на усі входи подаються високі рівні (рівні логічної «1»), то вхідні діоди закриті, струм через резистор R1 і діоди зсуву D3, D4 надходить на базу транзистора Q1, відповідно транзистор відкритий, а на виході встановлюється низький рівень (рівень логічного «0»).

1. **Вихідні дані:**
2. E = 5 [В]
3. U0ВХ = 0,153 [B]
4. U1ВХ = 4,31 [B]
5. U0ВИХ = 0,078 [В]
6. U1ВИХ = 4,348 [В]
7. UБЕн = 0,676 [В]
8. UDi = 0,7 [В]
9. I0ВХmax = 0,001 + 0,0003 = 0,0013 [А]
10. I1ВИХ = I0ВХmax = 0,0013 [А]
    1. **Порядок розрахунку:**

Розглянемо випадок, коли на один із входів подається низький рівень (рівень логічного «0»), тоді напруга у вузлі а:

Uа = U0ВХi + UDi = U0ВХ + UD = 0,153 + 0,7 = 0,853 [В]

Транзистор Q1 закритий, через опір R1 має проходити струм IR1 = I0ВХmax, тоді:

R1 = UR1 / IR1 = (E – Uа) / I0ВХmax = (5 – 0,853) / 0,0013 = 3190 [Ом]

В схему закладаємо номінал опору R1, обираючи його з нормованого ряду. Але при виборі необхідно забезпечити умову I0ВХ ≤ I0ВХmax, тому за реальне значення R1\* вибираємо більше значення, ніж розраховане:

R1\* = 3300 [Ом]

Розрахуємо реальне значення струму I0ВХ\* при вибраному номіналі опору:

I0ВХ\* = (E – Uа) / R1\* = (5 – 0,853) / 3300 = 0,001257 [А]

Розглянемо випадок, коли на усі входи подаються високі рівні (рівні логічної «1»).

Знайдемо напругу у вузлі а:

Uа = UБЕн + 2 \* UD = 0,676 + 2 \* 0,7 = 2,076 [В]

Тоді струм через опір R1:

IR1 = UR1 / R1\* = (E – Uа) / R1\* = (5 – 2,076) / 3300 = 0,000886 [А]

У той же час

IR1 = IRзс + IБ

де IБ - струм, що надходить на базу транзистора.

Якщо прийняти струм через опір зсуву IRзс = 0,1 \* IБ, тоді

IR1 = 0,1 \* IБ + IБ = 1,1 \* IБ

IБ = IR1 / 1,1 = 0,000886 / 1,1 = 0,0008055 [А]

IRзс = 0,1 \* IБ = 0,1 \* 0,0008055 = 0,00008055 [А]

Отже: RЗС = URзс / IRзс = UБЕн / IRзс = 0,676 / 0,00008055 = 8392,3 [Ом]

Реальне значення опору RЗС\* обираємо менше, ніж розраховане (аналогічно до лаб. р. № 1)

RЗС\* = 8200 [Ом]

Розрахуємо реальне значення опору IRзс \* при обраному значенні RЗС\*:

IRзс \* = URзс / RЗС\* = UБЕн / RЗС\* = 0,676 / 8200 = 0,00008244 [А]

Тоді IБ\* = IR1 – IRзс \* = 0,000886 – 0,00008244 = 0,0008036 [А]

Якщо UВИХ = U1ВИХ, то IRк = IRн = I1ВИХ, тоді

RН = URн / IRн = U1ВИХ / I1ВИХ = 4,348 / 0,0013 = 3344,62 [Ом]

RН\* = 3600 [Ом]

U1ВИХ\*= URн\* = I1ВИХ \* RН\* = 0,0013 \* 3600 = 4,68 [В]

RК = URк / IRк = (Е – U1ВИХ\*) / I1ВИХ = (5 – 4,68) / 0,0013 = 246,15 [Ом]

RК\* = 240 [Ом]

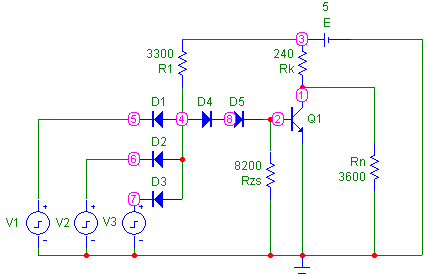
I1ВИХ\* = E / (RК\* + RН\*) = 5 / (240 + 3600) = 0,0013 [А]

U1ВИХ\*\* = I1ВИХ\* \* RН\* = 0,0013 \* 3600 = 4,68 [В]

Навантажувальна здатність базової схеми ДТЛ визначається максимально можливим низьким рівнем (рівнем логічного «0») на виході схеми. У цьому випадку (UВИХ = U0ВИХmax) струм через опір колектора дорівнює:

IRк = (Е – U0ВИХmax) / RК\* = (5 – 0,078) / 240 = 0,02051 [А]

**2.2 Малюнок схем з номерами вузлів:**



**2.3 Підсумкова таблиця:**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Параметри | Uа | UВИХ | IR1 | IRзс | IRк |
| розрахункові значення | 2,076 | 0,078 | 0,886 | 0,082 | 20,51 |
| 0,853 | 4,68 | 1,257 | 0 | 1,3 |
| реальні значення | 1,921 | 0,1 | 0,933 | 0,073 | 20,417 |
| 0,793 | 4,687 | 1,275 | 0,001 | 1,303 |

**2.4 Висновки:**

При виборі реального номінального значення опору R1 було взяте більше значення, щоб струм IR1 при низькому рівні тільки на одному з входів не перевищив максимально допустимий, заданий за умовою струм I0ВХmax.

Реальна напруга в точці **a** виявилася меншою за розраховану в обох випадках (коли на входи подаються високі рівні, а також коли хоча б на один з входів подається низький рівень), оскільки реальне падіння напруги на кожному з діодів в обох випадках виявилося меншим за теоретичне, а саме 0,64÷0,66 [В], що зумовлено характеристиками та особливостями вибраної моделі діоду. Рівень нуля на виході U0ВХ виявився більшим, ніж значення, задане за умовою, оскільки за номінальний опір навантаження брався брався більший опір, щоб рівень одиниці на виході U1ВИХ виявився не меншим, ніж мінімально можливий, заданий за умовою.

Реальні значення струмів IR1 виявилися більшими, ніж розраховані, що також зумовлено меншим падінням напруги на діодах, тобто меншою реальною напругою в точці **а**. Це в свою чергу спричинює більше падіння напруги на опорі R1, оскільки сума всіх напруг напруг дорівнює E = 5 [В], тому за законом Ома струм IR1 через опір R1 також протікатиме більший.

Реальне значення струму IRзс виявилося меншим, ніж розраховане, що зумовлено меншою реальною напругою URзс = UБЕн при відкритому транзисторі Q1.

**2.4 Часові діаграми:**

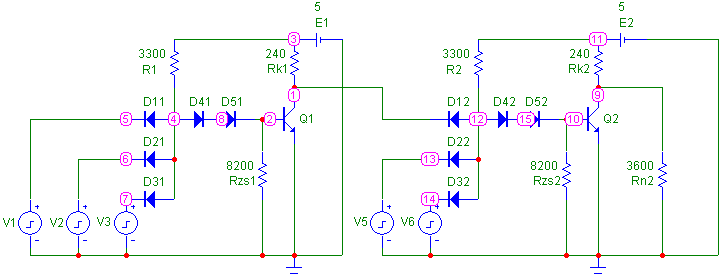


**3. Послідовне з'єднання базових схем ДТЛ.**

**3.1 Підсумкова таблиця:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Параметри | Uа(I) | UВИХ(I) = Uвх(II) | Uа(II) | UВИХ(II) |
| реальні значення | 1,922 | 0,102 | 1,921 | 0,1 |
| 0,793 | 4,997 | 0,764 | 4,688 |

**3.2 Малюнок схеми з номерами вузлів:**

****

**3.3 Висновки:**

Напруга в точці **а** першої схеми для обох випадків (на виході високий / низький рівень) залишилася такою ж, як і при аналізі однієї схеми ДТЛ.

Напруга в точці **а** для другої схеми при подачі на всі її входи високого рівня збереглася так само, але при подачі на один вхід низького рівня, а саме з виходу першої схеми, напруга в точці **а** виявилася меншою, ніж у випадку з однією схемою. Це пов’язано з тим, що рівень вхідного нуля, який подається з пульсарів для випадку з однією схемою, більший, ніж рівень нуля на виході першої схеми, який подається на вхід другої схеми.

Напруга високого, а також низького рівня, на виході другої схеми залишилася такою ж, як і у випадку з однією схемою.

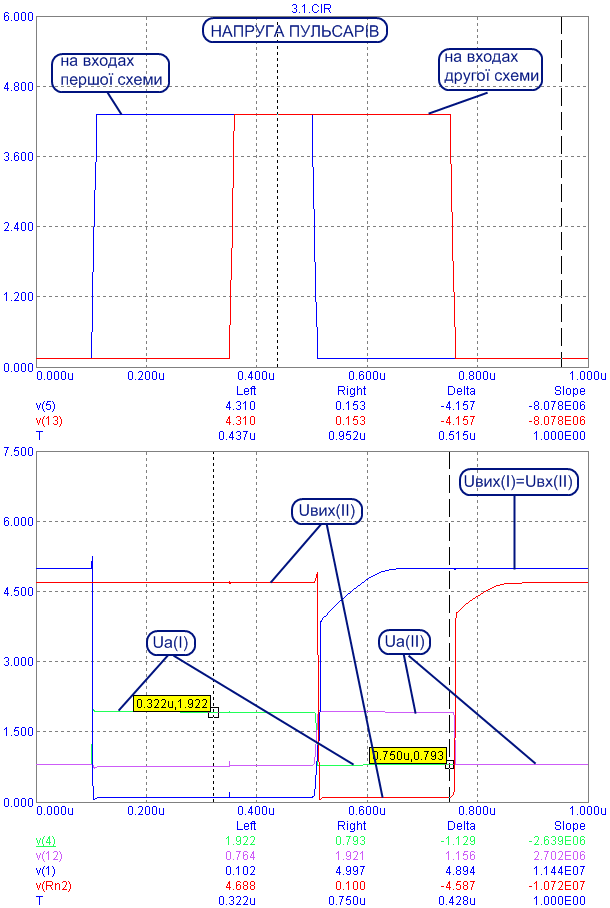
На виході першої схеми і на вході другої напруга низького рівня збереглася, але напруга високого рівня виявилася значно більшою, ніж для випадку з однією схемою, і дорівнює напрузі джерела. Адже у випадку виского рівня на виході першої схеми струм через навантаження не протікає, оскільки замість нього стоїть діод, який не пропускає струм у зворотньому напрямку. Тобто можна вважати, що фактично коло, де було раніше навантаження, розірване. При цьому транзистор закритий і струм через резистор RК не протікає, тобто дорівнює нулю. Тому падіння напруги на резисторі RК дорівнює

URк = RК \* IRк = RК \* 0 = 0,

а отже U1ВИХ = E – URк = E – 0 = E = 5 [В],

що ми й отримали при замірі реальних значень.

**3.3 Часові діаграми:**



# **Завдання 4**

# **Мета роботи:** дослідження роботи схеми транзисторного ключа з керуючим транзистором на вході.

**1. Теоретичні відомості:**

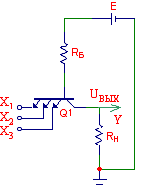
* 1. **Багатоемітерний транзистор.**

## 

## На малюнку наведено схему керуючого транзистора з одним входом (аналог багатоемітерного). Як правило, в схемах ТТЛ на вході використовується багатоемітерний транзистор. Для зручності дослідження перемикання логічного елементу до входу підключено керуючий перемикач S1, який може займати два положення: В і Н; до виходу підключено резистор навантаження RН. У положенні В на вхід надходить напруга високого рівня (напруга джерела живлення Е), а в положенні Н – напруга низького рівня (схемна земля).

Якщо на вхід подається низька напруга (перемикач S1 у положенні Н), то вхідний струм I0ВХ протікає від джерела живлення Е через резистор RБ та перехід база-емітер керуючого транзистора Q1. Перехід база-колектор транзистора Q1  зміщений у зворотньому напрямку.

Таким чином, перехід база-емітер транзистора Q1 відкритий, а перехід база-колектор Q1 закритий, тобто транзистор працює в прямому включенні, напруга на виході дорівнює низькому рівню.



При подачі на вхід високого рівня (перемикач S1 у положенні В) перехід база-емітер транзистора Q1 буде закритий, тому що він зміщений у зворотньому напрямку. Обидва електроди (база і емітер) підключені до джерела живлення. На базу від джерела живлення Е через резистор бази RБ надходить струм IRб, перехід база-колектор відкрито. На колекторі Q1  встановлюється напруга високого рівня. На вхід надходить тільки струм I1ВХ. Таким чином, перехід база-емітер транзистора Q1 закритий, а перехід база-колектор Q1 відкрито, тобто транзистор Q1 працює в інверсному включенні, на виході встановлюється високий рівень.

Якщо кількість входів керуючого транзистора Q1 більше одного, то елемент буде реалізовувати логічну функцію І:

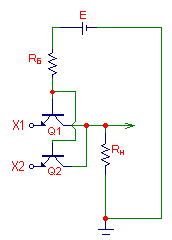
Y=X1X2X3,

де X1, X2, X3 – вхідні сигнали, Y- функція на виході схеми.

Тобто, якщо хоча б на одному вході схеми низький рівень (X1∪X2∪X3 = L), то транзистор Q1 буде працювати в прямому включенні і на виході схеми встановиться низький рівень (Y=L). При цьому зміна логічних рівнів на інших входах не буде впливати на вихідну напругу UВИХ.

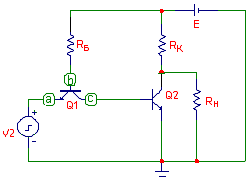
Лише у випадку подачі високих рівнів на усі входи (X1X2X3 = H) багатоемітерний транзистор Q1 перейде в інверсне включення і напруга на виході буде мати високий рівень(Y= H).

При моделюванні багатоемітерного транзистора використовується наступна схема:



* 1. **Робота схеми.**

Логічний елемент, приведений на малюнку, не змінює фазу вхідного сигналу. При додаванні інвертора, виконаного на транзисторі Q2, отримаємо схему транзисторного ключа з керуючим транзистором на вході.



Ця схема аналогічна базовій схемі ДТЛ (лабораторна робота №3), але має деякі відмінності:

1. вхідний діод зі схеми ДТЛ замінюється переходом база-емітер транзистора Q1;
2. аналогом діодів зсуву є перехід база-колектор транзистора Q1.

На базу транзистора Q1 від джерела живлення E через резистор RБ постійно надходить струм, тому транзистор Q1 завжди відкритий.

Однак у залежності від вхідного сигналу транзистор Q1 може бути або в прямому або в інверсному включенні.

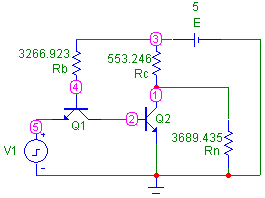
Якщо на вхід подати низький рівень, то транзистор Q1 має пряме включення, відповідно струм проходить по ланцюгу Е→RБ→БЕQ1→V1, де V1-джерело сигналу. При послідовному з’єднанні декількох схем струм надходить на вихід попередньої схеми.

Якщо на вхід подати високий рівень, то перехід емітер-база має зворотний зсув (закритий), а транзистор Q1 має інверсне включення, колектор і емітер як би замінюють один одного. Струм через резистор RБ від джерела живлення Е надходить на базу транзистора Q1, потім на колектор транзистора Q1 і на базу транзистора Q2. Через перехід емітер-колектор транзистора Q1 також проходить струм, коефіцієнт підсилення струму в інверсному режимі для транзистора Q1:βИНВ≈1, тому в цьому випадку струм у вузлі **c** дорівнює:

Ic = IБК(Q1) + IЕК(Q1) = IRб + βІНВ \* IRб ≈ 2 \* IRб

**2. Вихідні дані:**

1. E = 5 [В]
2. U0ВХ = 0,153 [B]
3. U1ВХ = 4,31 [B]
4. U0ВИХ = 0,078 [В]
5. U1ВИХ = 4,348 [В]
6. βН = 10
7. βІНВ = 1
8. UБЕ ≈ 0,6 [B]
9. UБК ≈ 0,55 [B]
10. I0ВХmax = 0,001 + 0,0003 = 0,0013 [А]
11. I1ВИХ = IRб
    1. **Малюнок схеми з номерами вузлів:**

****

**2.2 Порядок розрахунку:**

Розглянемо випадок, коли UВХ = U0ВХ – транзистор Q1 знаходиться в прямому включенні, тоді напруга на базі Q1:

UБ(Q1) = U0ВХ + UБЕ(Q1) = U0ВХ + UБЕ = 0,153 + 0,6 = 0,753 [В]

Напруга на колекторі транзистора Q1, а також на базі Q2:

UК(Q1) = UБ(Q2) = UБ(Q1) – UБК(Q1) = UБ(Q1) – UБК = 0,753 – 0,55 = 0,203 [В]

Через опір RБ проходить струм IRб = I0ВХmax, відповідно

RБ = (E – UБ(Q1)) / IRб = (E – UБ(Q1)) / I0ВХmax = (5 – 0,753) / 0,0013 = 3266,923 [Ом]

Так як транзистор Q1 знаходиться в прямому включенні, струм на колекторі транзистора Q1 практично дорівнює нулю, тому транзистор Q2 закритий.

Розглянемо випадок, коли UВХ = U1ВХ, тоді транзистор Q1 працює в інверсному режимі. Знайдемо напругу у вузлі на базі транзистора Q1:

UБ(Q1) = UБЕ(Q2) + UБК(Q1) = UБЕ + UБК = 0,6 + 0,55 = 1,15 [В]

Струм через резистор RБ:

IRб = (E – UБ(Q1)) / RБ = (5 – 1,15) / 3266,923 = 0,0011785 [А]

Тоді струм у вузлі на базі транзистора Q2 (враховуючи, що βІНВ = 1) дорівнює:

IБ(Q2) = IRб + IЕК(Q1) = 2 \* IRб = 2 \* 0,0011785 = 0,002357 [А]

Якщо UВИХ = U1ВИХ, то IRк = IRн = I1ВИХ, тоді

RК = URк / IRк = (Е – U1ВИХ) / IRб = (5 – 4,348) / 0,0011785 = 553,246 [Ом]

RН = URн / IRн = U1ВИХ / IRб = 4,348 / 0,0011785 = 3689,435 [Ом]

Якщо UВИХ = U0ВИХ, то струм, що протікає через RН, дорівнює:

I0Rн = U0ВИХ / RН = 0,078 / 3689,435 = 0,0000211 [А]

Визначимо навантажувальну здатність даної схеми.

Максимально допустимий струм на колекторі транзистора Q2:

IK(Q2) = βН \* IБ(Q2) = 10 \* 0,002357 = 0,02357 [А]

Якщо транзистор Q2 знаходиться в режимі насичення, то UВИХ = U0ВИХ, тоді струм через опір колектора RК дорівнює:

I0Rк = (Е – U0ВИХ) / RК = (5 – 0,078) / 553,246 = 0,0089 [А]

У такий спосіб максимально припустимий струм навантаження буде складати:

IH = IK(Q2) – I0Rк = 0,02357 – 0,0089 = 0,01467 [А]

А навантажувальна здатність:

N = ] IH / I0ВХmax [ = 0,01467 / 0,0013 = 11

Струм на колекторі транзистора Q2 при навантаженні RН, якщо UВИХ = U0ВИХ:

IK(Q2) = I0Rк – I0Rн = 0,0089 – 0,0000211 = 0,008879 [А]

**2.3 Підсумкова таблиця:**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | | UВХ | UВИХ | UБ(Q1) | UК(Q1) | IЕ(Q1) | IБ(Q1) | IК(Q1)=IБ(Q2) | IК(Q2) | IRн | IRк |
| розрах. значення | UВХ=U0ВХ | 0,153 | 4,348 | 0,753 | 0,203 | 1,3 | 1,3 | 0 | 0 | 1,179 | 1,179 |
| UВХ=U1ВХ | 4,31 | 0,078 | 1,15 | 0,6 | 1,179 | 1,179 | 2,358 | 8,888 | 0,021 | 8,9 |
| реальні значення | UВХ=U0ВХ | 0,153 | 4,348 | 0,697 | 0,171 | 1,317 | 1,317 | 0 | 0 | 1,179 | 1,179 |
| UВХ=U1ВХ | 4,31 | 0,048 | 1,112 | 0,587 | 1,22 | 1,19 | 2,41 | 8,939 | 0,013 | 8,952 |

* 1. **Висновки:**

Струм, що протікає через навантаження при низькому рівні значно менший, ніж очікуваний, оскільки виявився значно меншим рівень вихідного нуля. Через це в свою чергу є більшою напруга на колекторному резисторі RК, а відповідно й колекторний струм IRк.

Напруга на базі транзистора Q1 виявилася меншою, ніж розрахована при подачі низького рівня на вхід, оскільки виявилася меншою напруга береходу БЕ транзистора Q1 при його прямому включенні, а саме UБЕ(Q1) = 0,544 [В]

Напруга на базі транзистора Q1 виявилася меншою, ніж розрахована при подачі високого рівня на вхід, оскільки виявилися меншими напруги переходів БЕ для транзистора Q2 в режимі насичення, а також БК для транзистора Q1 при інверсному включенні, а саме:

UБЕ(Q2) = 0,587 [В]

UБК(Q1) = 0,526 [В]

Цим зумовлено також більше падіння напруги на резисторі RБ для обох випадків (UВХ=U0ВХ і UВХ=U1ВХ), а відповідно і збільшення струму через резистор RБ, який є струмом бази транзистора Q1.

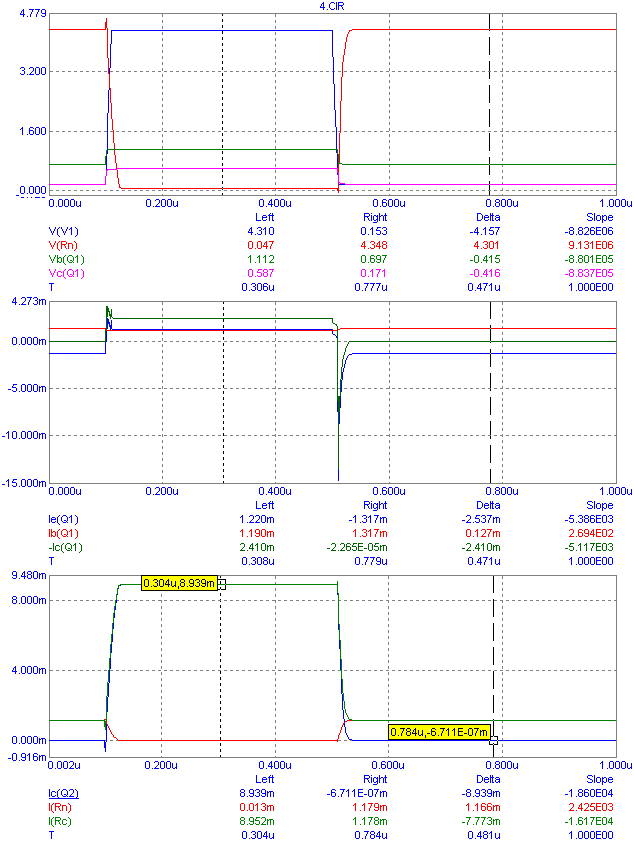
При подачі на вхід високого рівня колекторна напруга транзистора Q1 (базова напруга транзистора Q2) дорівнює напрузі переходу БЕ транзистора Q2, яка виявилася меншою. При подачі ж низького рівня на вхід різниця між розрахованим та рельним значеннями базової напруги транзистора Q1, а саме 0,753 - 0,697 = 0,056 [В], виявилася більшою, ніж різниця між заданим та рельним значенням UКЕ(Q1), а саме 0,55 – 0,526 = 0,024 [В]. Саме тому колекторна напруга транзистора Q1 (базова напруга Q2) виявилася меншою на 0,056 – 0,024 = 0,032 [В], ніж розрахована, що й видно з таблиці для стовпця UК(Q1) при UВХ = U0ВХ (0,204 – 0,171 = 0,033 [В]).

Емітерний струм I0ВХ транзистора Q1 при подачі на вхід низького рівня і прямому включенні виявився більшим, ніж заданий, що зумовлено згаданим вище більшим падінням напруги на резисторі бази RБ. При подачі на вхід високого рівня і інверсному включенні емітерний струм транзистора Q1 виявився також більшим, ніж розрахований, оскільки він практично дорівнює струму бази транзистора Q1 (через те, що βІНВ = 1), який виявився більшим.

Базовий струм транзистора Q2 при подачі на вхід високого рівня також виявився більшим, оскільки він дорівнює сумі попередніх двох – емітерного та базового струмів транзистора Q1.

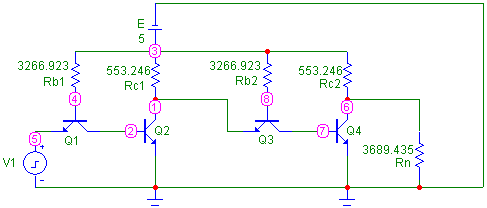
Реальне значення колекторного струму відкритого транзистора Q2 також виявилося білшим, оскільки його складовою є зазначений вище більший, ніж розрахований, базовий струм.

**2.4 Часові діаграми:**

****

**3. Послідовне з'єднання схем:**

**3.1 Малюнок схеми з номерами вузлів:**

****

**3.2 Підсумкова таблиця:**

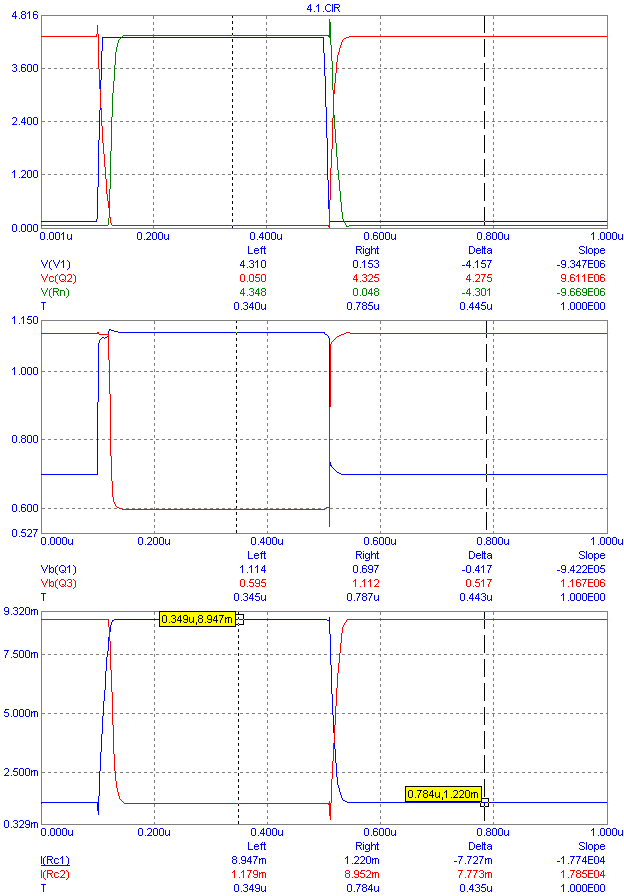
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Параметри | UВХ(І) | UВИХ(І) = UВХ(ІІ) | UВИХ(ІІ) | UБ (Q1) | UБ (Q3) |
| реальні значення | 0,153 | 4,325 | 4,348 | 0,697 | 0,595 |
| 4,31 | 0,05 | 0,047 | 1,114 | 1,112 |

* 1. **Висновки:**

На виході першої схеми напруга низького рівня збереглася, але напруга високого рівня виявилася меншою, ніж на виході другої схеми, оскільки струм вихідного високого рівня напруги першої схеми, що протікає через резистор Rc1, виявився більшим, ніж струм через навантаження Rn на виході другої схеми. Через це за законом Ома виявилося більшим падіння напруги на резисторі Rc1, а відповідно зменшення напруги вихідної одиниці. Даний струм через резистор Rc1 визначається і є рівним струму на базі транзистора Q3 (через те, що βІНВ = 1). За умовою I1ВИХ = IRб, тобто ці струми мали бути однакові, щоб забезпечити однакові рівні вихідної одиниці у випадках, коли на виході резистор навантаження, а також коли до виходу підключений вхід наступної схеми. Причиною більшого реального базового струму транзисторів Q1, Q3, як вже зазначалося, є менші реальні значення напруг переходів БЕ у режимі насичення транзисторів Q2, Q4 та переходів КЕ транзисторів Q1, Q3 при інверсному включенні. Цим зумовлені більші падіння напруг на резисторах Rbi, а відповідно і більші струми, що протікають через них.

При подачі на вхід низького рівня напруга на базі транзистора Q3 є меншою, ніж напруга на базі транзистора Q1, оскільки вона визначається рівнем вхідного нуля (U0ВХ + UБЕ), який на вхід першої схеми подається з пульсару і є більшим, ніж рівень вихідного нуля на виході першої схеми, який подається на вхід другої схеми.

**3.4 Часові діаграми:**



# **Завдання 5**

# **Мета роботи:** побудова і дослідження схем І-АБО, І-АБО-НЕ на основі базової схеми ТТЛ.

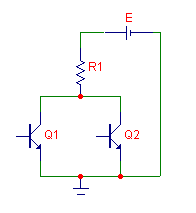
**1. Теоретичні відомості:**

* 1. **Транзисторні схеми зі спільним навантаженням.**

Для реалізації логічних функцій використовуються транзисторні схеми зі спільним навантаженням. Розглянемо чотири базові схеми і логічні функції, що ними реалізуються.

Примітка: усі логічні функції розглянуті для випадку позитивної логіки.

1) Паралельне сполучення транзисторів зі спільним колекторним навантаженням.



UВИХ

Y

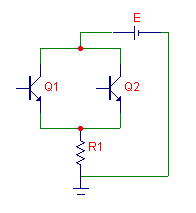
X1

X2

Для того, щоб на виході цієї схеми був високий рівень, необхідно, щоб транзистори Q1 і Q2 були закриті. Транзистор закритий, якщо на його базу не надходить струм, тобто при подачі на вхід низького рівня. При цьому на виході буде високий рівень. У такий спосіб на виході схеми реалізується функція АБО-НЕ:



2) Паралельне сполучення транзисторів зі спільним емітерним навантаженням.



UВИХ

Y

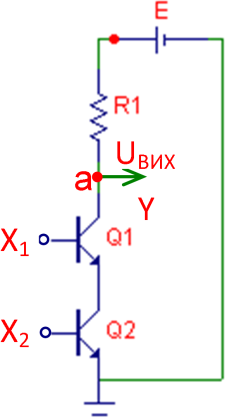
X1

X2

У цьому випадку щоб отримати на виході високий рівень, необхідно, щоб хоча б один із транзисторів Q1 чи Q2 був відкритий, тобто на базу хоча б одного з них надходив струм, відповідно хоча б на один із входів треба подати високий рівень. На виході схеми реалізується функція АБО:

Y = X1 ∪ X2

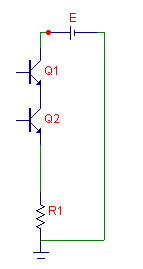
3) Послідовне з'єднання транзисторів зі спільним колекторним навантаженням.



Для того, щоб на виході схеми був високий рівень, необхідно, щоб ланцюг між точкою **a** і землею був розірваним. Дана умова забезпечується, якщо хоча б один із транзисторів Q1 чи Q2 закритий, тобто якщо хоча б один із вхідних сигналів X1 чи X2 має низький рівень. На виході схеми реалізується функція І-НЕ:



4) Послідовне з'єднання транзисторів зі спільним емітерним навантаженням.



а

UВИХ

Y

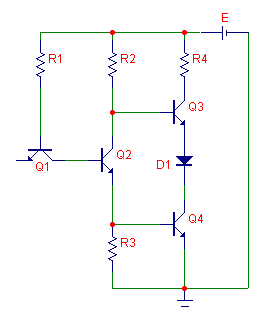
X1

X2

Для того, щоб на виході був високий рівень, необхідно, щоб обидва транзистори Q1 і Q2 були відкриті. Якщо хоча б один з них закритий, ланцюг між джерелом живлення та точкою **a** розірвано, на виході встановлюється низький рівень. Високий рівень на виході схеми встановлюється тільки якщо обидва вхідні сигнали X1 і X2 мають високі рівні. Схема реалізує функцію І:



**1.2 Реалізація логічних функцій на основі базової схеми ТТЛ.**



UВИХ

Y

X1

X2

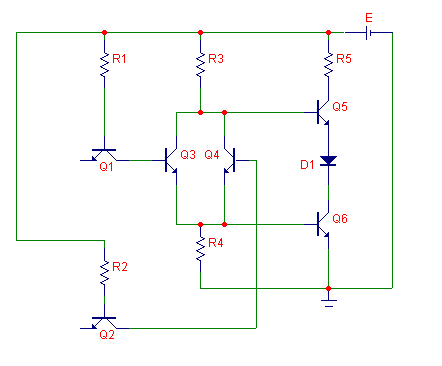
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| група | I | II | III | IV |
| R1, кОм | 4 | 2.8 | 4 | 40 |
| R2, кОм | 1.4 | 0.7 | 1.6 | 20 |
| R3, кОм | 1 | 0.47 | 1 | 12 |
| R4, кОм | 0.13 | 0.058 | 0.13 | 0.51 |

Схема містить три основних каскади:

1. вхідний каскад, представлений багатоемітерним транзистором Q1, що реалізує логічну функцію І;
2. фазорозділювальний каскад, виконаний на транзисторі Q2 і резисторах R2 та R3;
3. двотактний вихідний каскад, реалізований на транзисторах Q3 і Q4 із введенням діода зсуву D1; цей каскад введений для підвищення навантажувальної здатності схеми.

Разом фазорозділювальний і вихідний каскади утворюють складний інвертор, що реалізує логічну операцію НЕ. У такий спосіб базова схема ТТЛ реалізує функцію І-НЕ.

Схема, що реалізує операцію І-АБО-НЕ:



UВИХ

Y

X1

X2

X3

X4

Y1

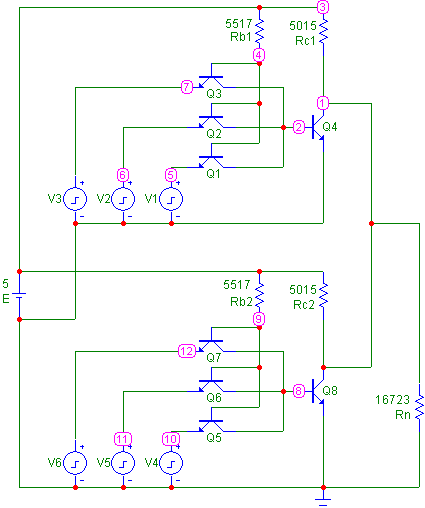
Y2

Y3

Від базової схеми ТТЛ вона відрізняється тим, що фазорозділювальний каскад замість одного транзистора містить два транзистори Q3 і Q4, керованих двома різними багатоемітерними транзисторами Q1 і Q2. Паралельне включення транзисторів фазорозділювального каскаду дозволяє реалізувати функцію АБО-НЕ. Вся схема реалізує операцію І-АБО-НЕ:



1. **Вихідні дані:**
2. E = 5 [В]
3. U0ВХ = 0,153 [B]
4. U1ВХ = 4,31 [B]
5. U0ВИХ = 0,048 [В]
6. U1ВИХ = 4,348 [В]
7. βІНВ = 1
8. UБЕ ≈ 0,544 [B] для транзисторів вхідного каскаду
9. UБЕ ≈ 0,587 [B] для транзисторів вихідного каскаду
10. I0ВХmax = 0,0013 [А]
    1. **Малюнок схеми з номерами вузлів:**

****

* 1. **Порядок розрахунку:**

Розглянемо випадок, коли тільки на один з входів одного блоку 3І подається низький рівень UВХ = U0ВХ, наприклад, коли транзистор Q1 знаходиться в прямому включенні, тоді напруга на базі Q1:

UБ(Q1) = U0ВХ + UБЕ(Q1) = 0,153 + 0,544 = 0,697 [В]

Через емітер в такому випадку проходить максимальний струм I0ВХmax, який дорівню сумі стрьох струмів, які подаються на бази трьох транзисторів, а також двох струмів, які подаються на емітери двох інших транзисторів Q2, Q3. Оскільки βІНВ = 1, то останні два струми дорівнюють базовим:

I0ВХmax = IБ(Q1) + IК(Q1) = IБ(Q1) + IК(Q2) + IК(Q3) = IБ(Q1) + IБ(Q2) + IЕ(Q2) + IБ(Q3) + IЕ(Q3) = 5 \* IБ

У той же час через резистор RБ протікає струм, рівний сумі трьох базових струмів транзисторів:

IRб = 3 \* IБ

Тоді

IRб = I0ВХmax = 3 / 5 \* 0,0013 = 0,00078 [А]

Знайдемо опір RБ:

RБ = (E – UБ(Q1)) / IRб = (5 – 0,697) / 0,00078 = 5517 [Ом]

Струм, що подається на базу кожного транзистора на вході, в такому випадку дорівнює:

IБ = IRб / 3 = 0,00078 / 3 = 0,00026 [А]

Щоб значення високого рівня на виході було при послідовному з’єднанні декількох схем не менше, ніж задане за умовою, необхідно, щоб вихідний струм не перевищував деяке максимально допустиме значення, оскільки в противному випадку буде більше падіння напруги на RК і буде менший рівень вихідної одиниці. Максимальний струм на виході першої схеми буде тоді, коли хоча б на один з інших двох входів другої схеми, що залишилися, подається низький рівень. Отже приймаємо струм, що протікає через резистор навантаження, рівний IБ.

RН = URн / IRн = U1ВИХ / IБ = 4,348 / 0,00026 = 16723 [Ом]

Струм, що протікає через кожен з резисторів RКі, у разі, якщо дані резистори мають однакові номінали, дорівнює половині вихідного струму одиниці, тобто I1ВИХ / 2. Тоді

RК = URк / IRк = (Е – U1ВИХ) / (I1ВИХ / 2) = (Е – U1ВИХ) / (IБ / 2) = 5015 [Ом]

* 1. **Підсумкова таблиця:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| x1 | x2 | x3 | x4 | x5 | x6 | Y1 | Y2 | Y3 |
| H | H | L | H | H | L | L | L | H |
| H | H | H | H | H | L | H | L | L |
| H | H | H | H | H | H | H | H | L |
| L | L | L | L | L | L | L | L | H |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| x1 | x2 | x3 | x4 | x5 | x6 | Y1 | Y2 | Y3 |
| 4,31 | 4,31 | 0,153 | 4,31 | 4,31 | 0,153 | 0,2 | 0,2 | 4,349 |
| 4,31 | 4,31 | 4,31 | 4,31 | 4,31 | 0,153 | 0,56 | 0,2 | 0,032 |
| 4,31 | 4,31 | 4,31 | 4,31 | 4,31 | 4,31 | 0,554 | 0,554 | 0,026 |
| 0,153 | 0,153 | 0,153 | 0,153 | 0,153 | 0,153 | 0,171 | 0,171 | 4,348 |

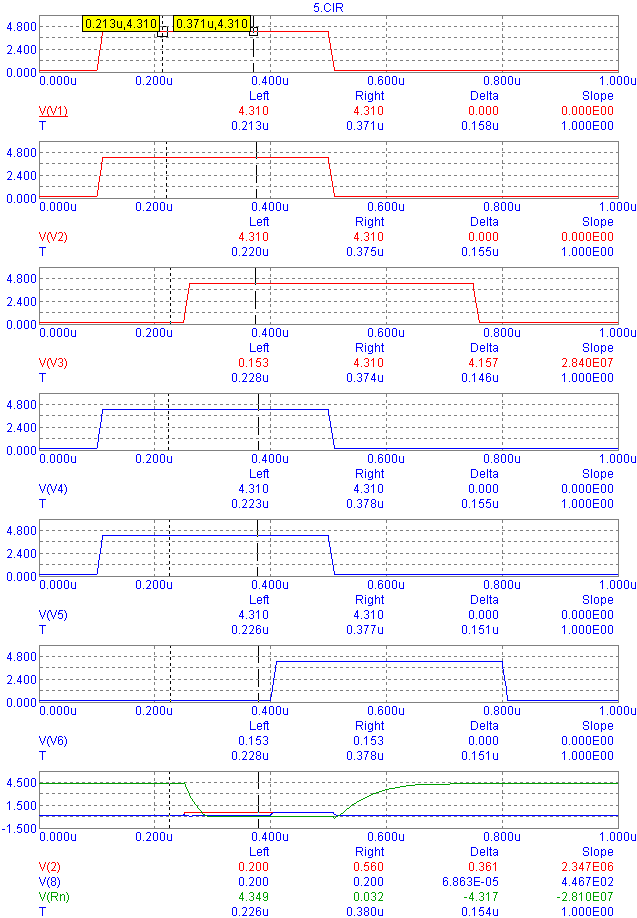
* 1. **Висновки:**

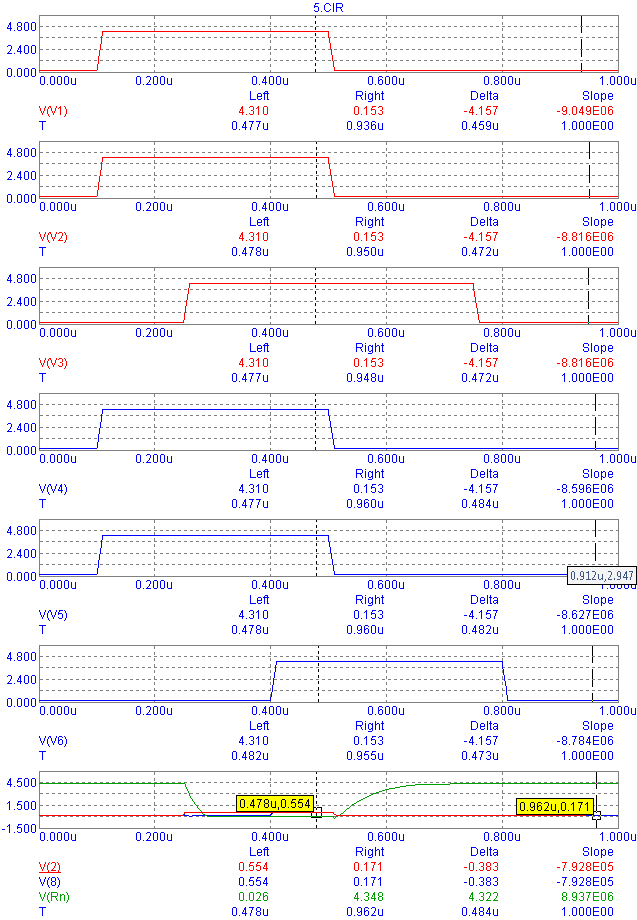
Коли на всі входи вхідного каскаду 3І одного блоку подається високий рівень, транзистори на входах працюють в інверсному режимі, транзистор вихідного каскаду для інвертування сигналу відкривається. При цьому напруга переходу БЕ транзистора вихідного каскаду в режимі насичення виявилася дещо меншою, ніж очікувана за умовою.

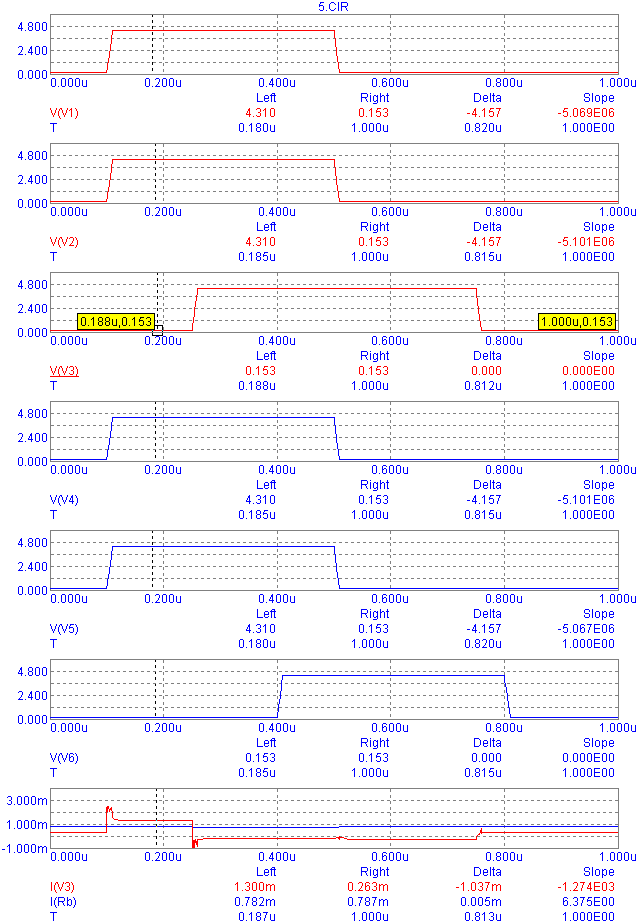
Рівень вихідного нуля на виході всієї схеми є меншим у випадку, коли відкрито обидва транзистора вихідного каскаду, ніж у тому випадку, коли відкрито лише один транзистор. У такому випадку через колектор відкритого транзистора вихідного каскаду протікає не лише струм, що тече терез резистор Rc1 даного транзистора, а й струм, що протікає через резистор Rc2 другого закритого транзистора. Хоча транзистор – елемент не лінійний, та зрозуміло, що зі збільшенням колекторного струму буде частково збільшуватись напруга переходу КЕ транзистора в режимі насичення, яка визначає рівень вихідного нуля.

Напруга Y1,Y2 є найменшою у тому випадку, коли працюють в прямому режимі всі транзистори на вході одного блоку; є більшою, коли працює в інверсному режимі один транзистор, і найбільшою, коли в інверсному режимі працюють два транзистори. У всіх цих випадках транзистор вихідного каскаду закритий. Така незначна розбіжність напруг у вузлах Y1,Y2 у даних трьох випадках пояснюється тим, що чим більше транзисторів працює в інверсному режимі одного вхідного каскаду 3І, тим більший струм протікає через колектори транзисторів, що працюють в прямому режимі. Хоча транзистори – елементи не лінійні, та збільшення зазначеного струму частково призводить до незначного збільшення напруги переходу БЕ транзистора, а відповідно і збільшення напруги у вузлах Y1,Y2.

**2.5 Часові діаграми:**

****

****

****